**Instituto Politécnico Nacional**

**Escuela Superior de Cómputo**

*Fundamentos de Diseño Digital*

Práctica 5: Operaciones Aritméticas

Grupo: 2CM6

Miembros:

Alfredo Pérez Quiñonez

José Emiliano Pérez Garduño

Maestro:

Carlos Jesús Pastrana Fernández

Día de práctica: 19 / Abril / 2017

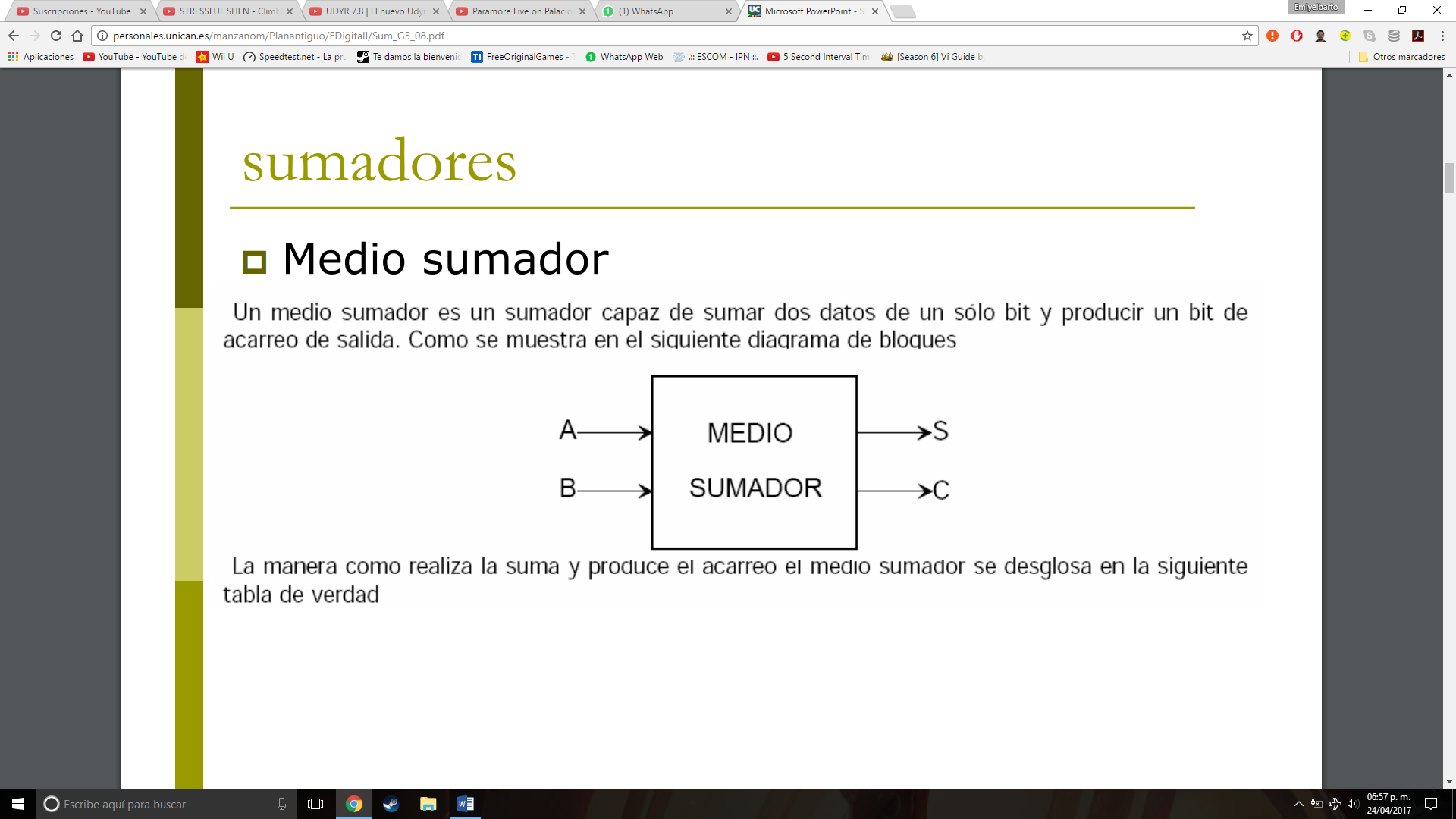
Día de entrega: 26 / Abril / 2017

1. **Objetivo General:**

El alumno diseñará circuitos aritméticos programando en lenguaje VHDL y programando su GAL22V10 para verificar el resultado.

1. **Introducción teórica:**

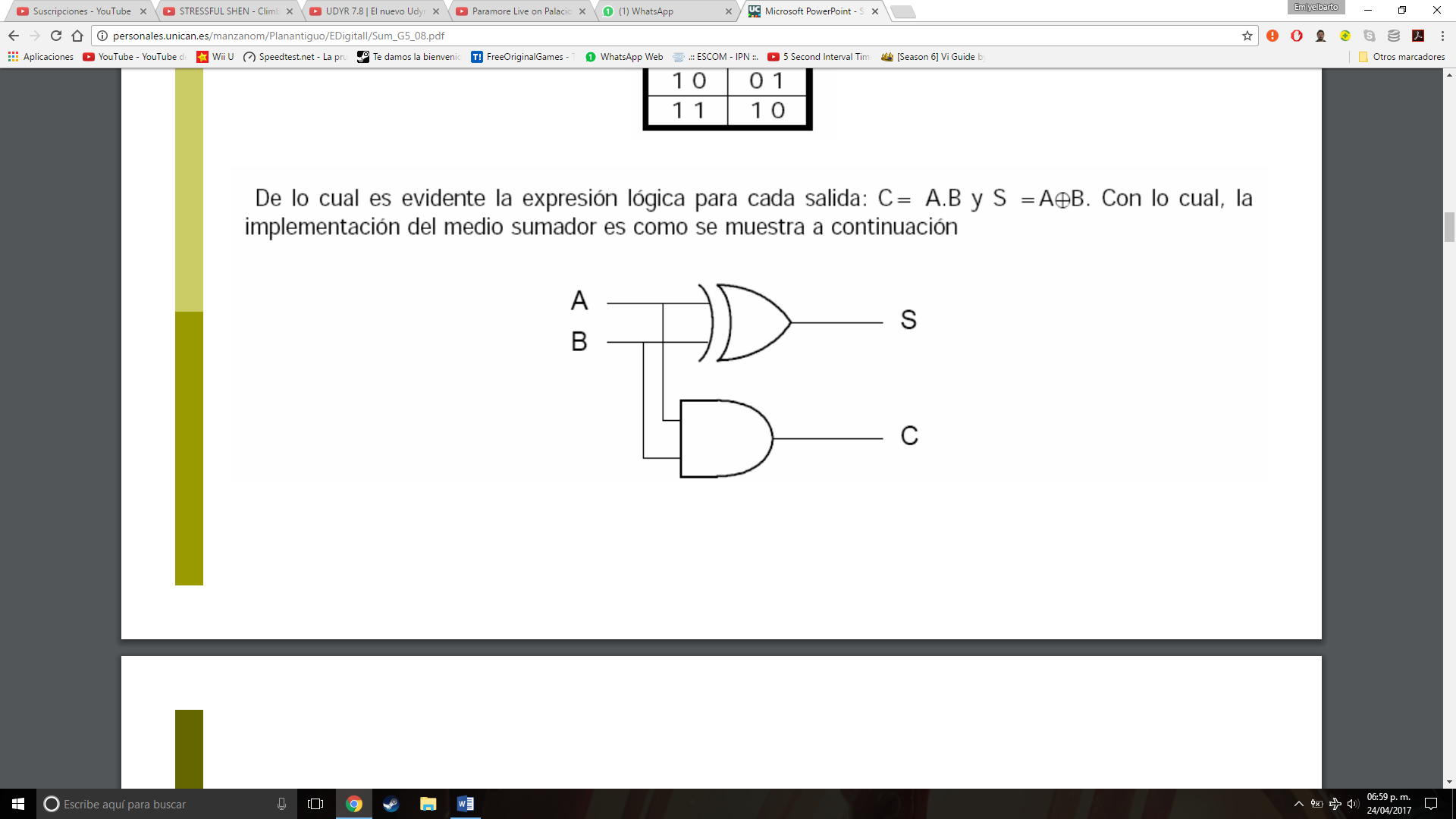
Medio sumador: Un medio sumador es un sumador capaz de sumar los dos datos de un solo bit y producir un bit de acarreo de salida.



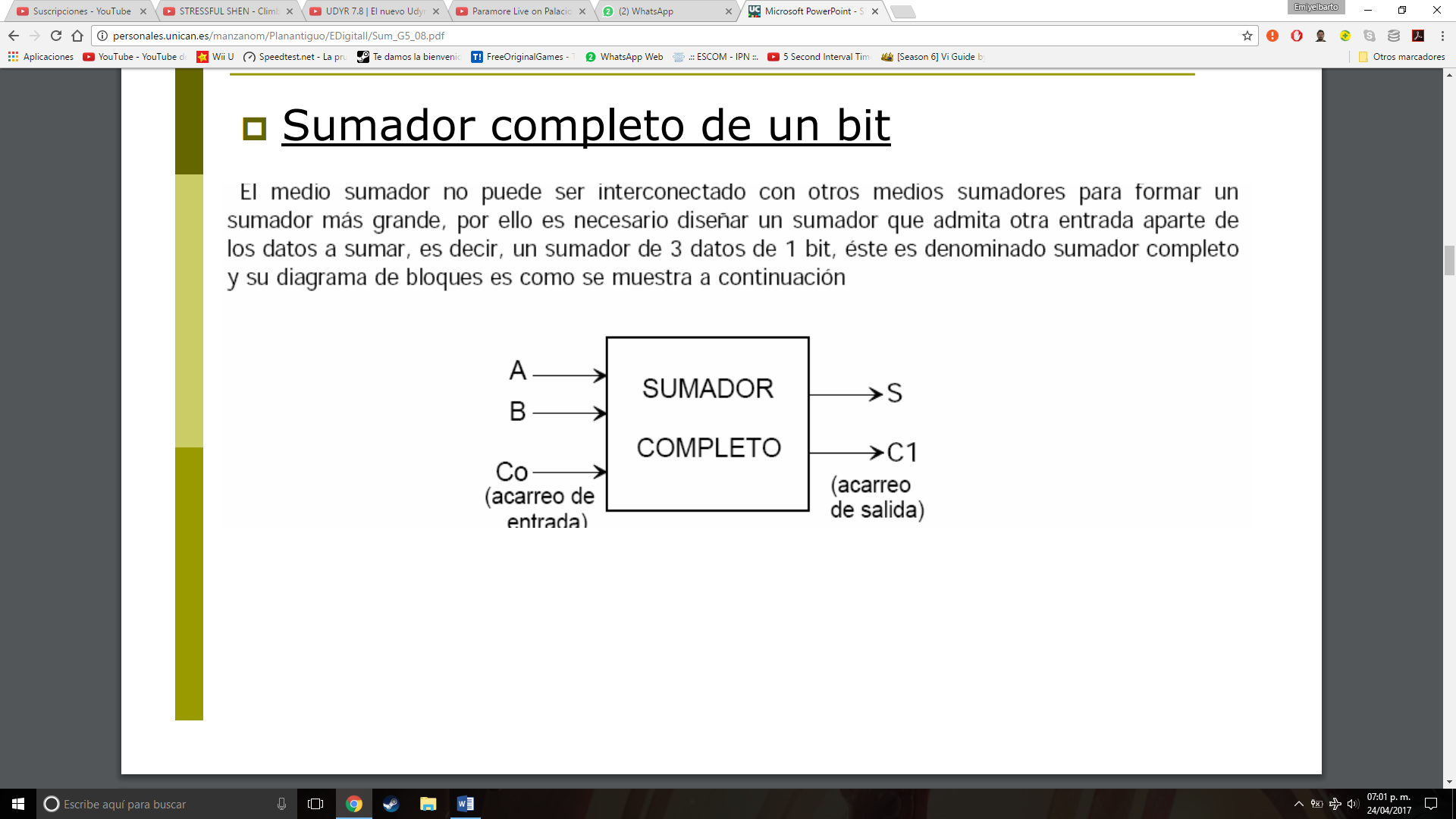
La manera como realiza la suma y produce el acarreo el medio sumador es:

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | S |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Y se representa con el siguiente circuito:



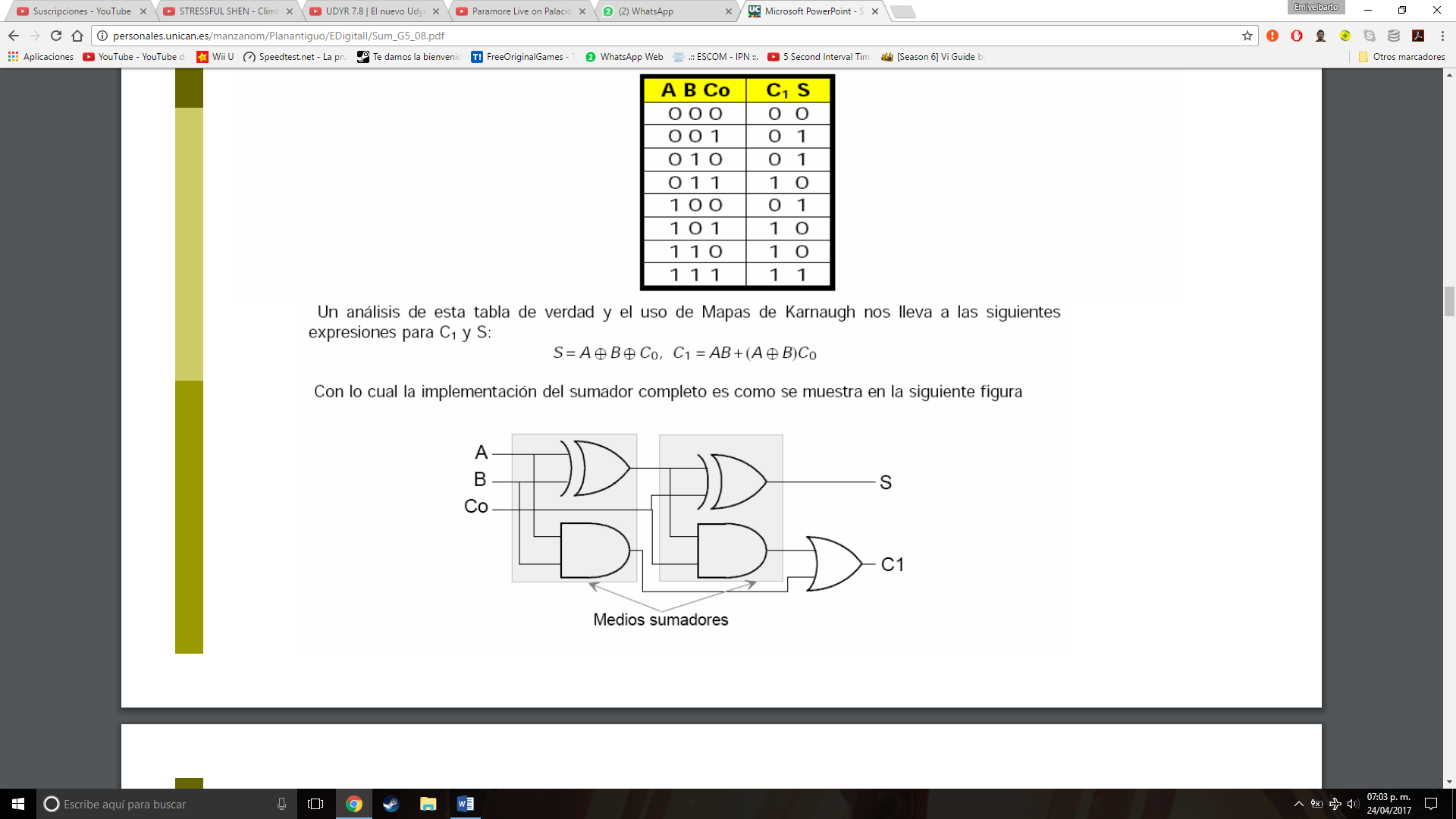
Sumador completo: El medio sumador no puede ser interconectado con otros medios sumadores para formar un sumador más grande, por ello es necesario diseñar un sumador que admita otra entrada aparte de los datos a sumar, es decir, un sumador de 3 datos de 1 bit, éste es denominado sumador completo y su diagrama de bloques es el siguiente.



Definido por la siguiente tabla de verdad:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C0 | C1 | S |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Y con el siguiente circuito:



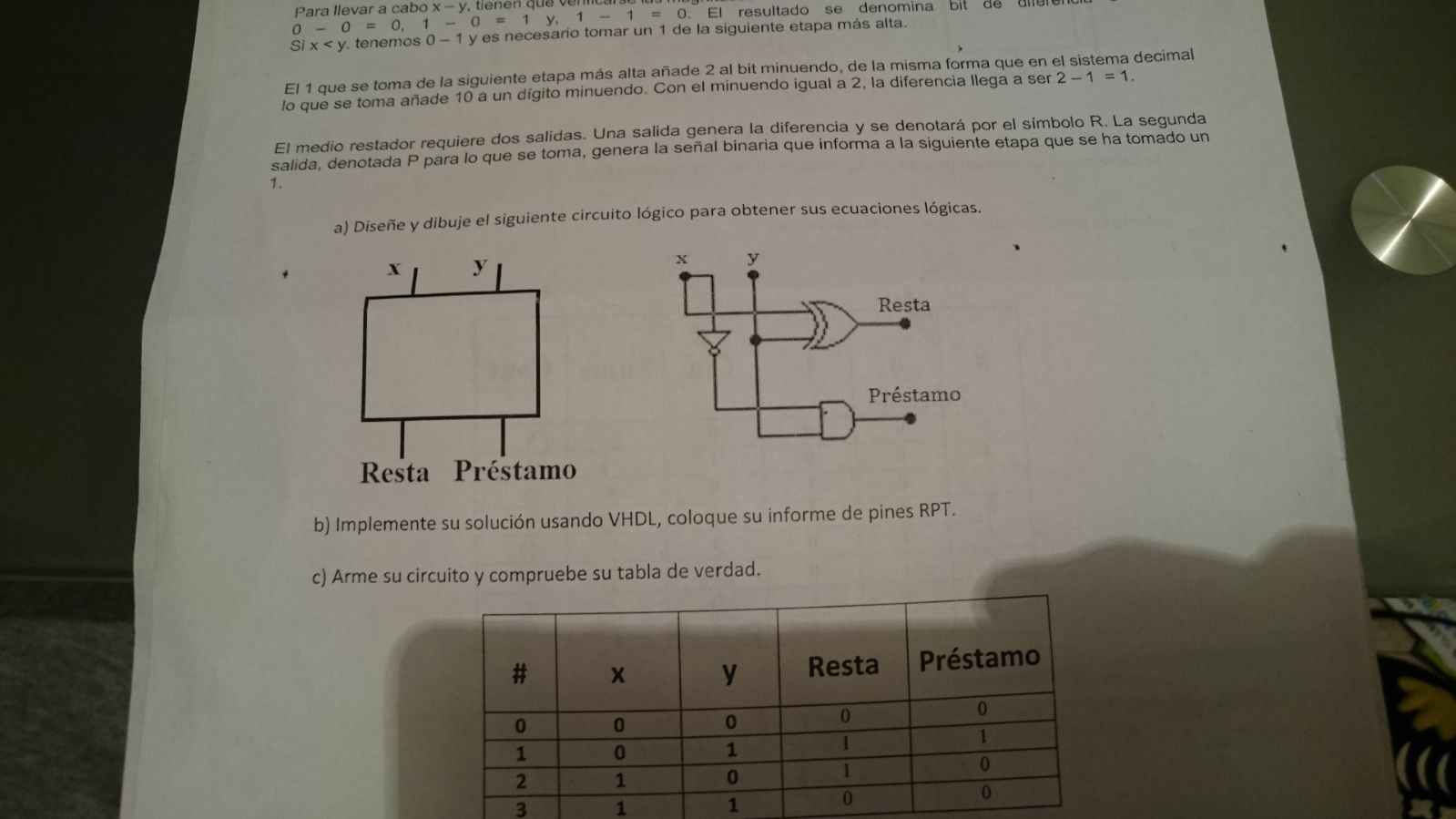
Medio restador: Un medio restador es un circuito combicional que sustrae dos bits y produce su diferencia. También tiene una salida para especificar si se ha tomado un 1. Se designa el bit minuendo por x y el bit sustraendo mediante y.

Para llevar a cabo x-y, tienen que verificarse las magnitudes relativas de X y Y. Si X>Y se tienen tres posibilidades; 0 – 0 = 0, 1 – 0 = 1 y 1 – 1 = 0. El resultado se denomina bit de diferencia o resta.

Si X<Y, tenemos 0 – 1 y es necesario tomar un 1 de la siguiente etapa más alta.

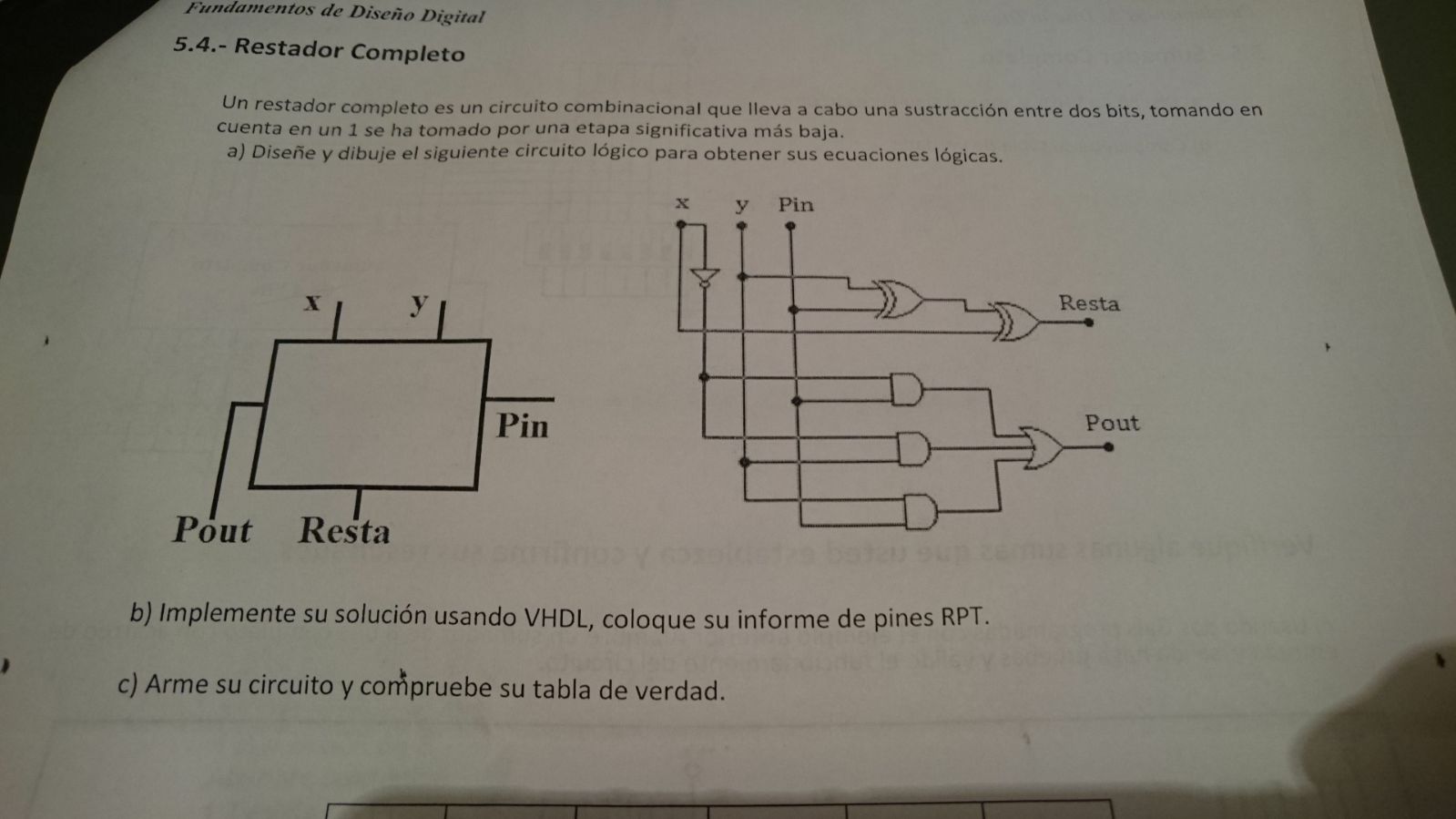
El 1 que se toma de la siguiente etapa más alta añade 2 al bit minuendo, de la misma forma que en el sistema decimal lo que se toma añade 10 a un dígito minuendo. Con el minuendo igual a 2, la diferencia llega a ser 2 – 1 = 1.

El medio restador requiere dos salidas. Una salida genera la diferencia y se denotará con el símbolo R. La segunda salida, denotada P para lo que se toma, genera la señal binaria que informa a la siguiente etapa que se ha tomado un 1.



Restador completo:

Un restador completo es un circuito combinacional que lleva a cabo una sustracción entre dos bits, tomando en cuenta en un 1 se ha tomado por una etapa significativa más baja.



1. **Material y equipo empleado:**

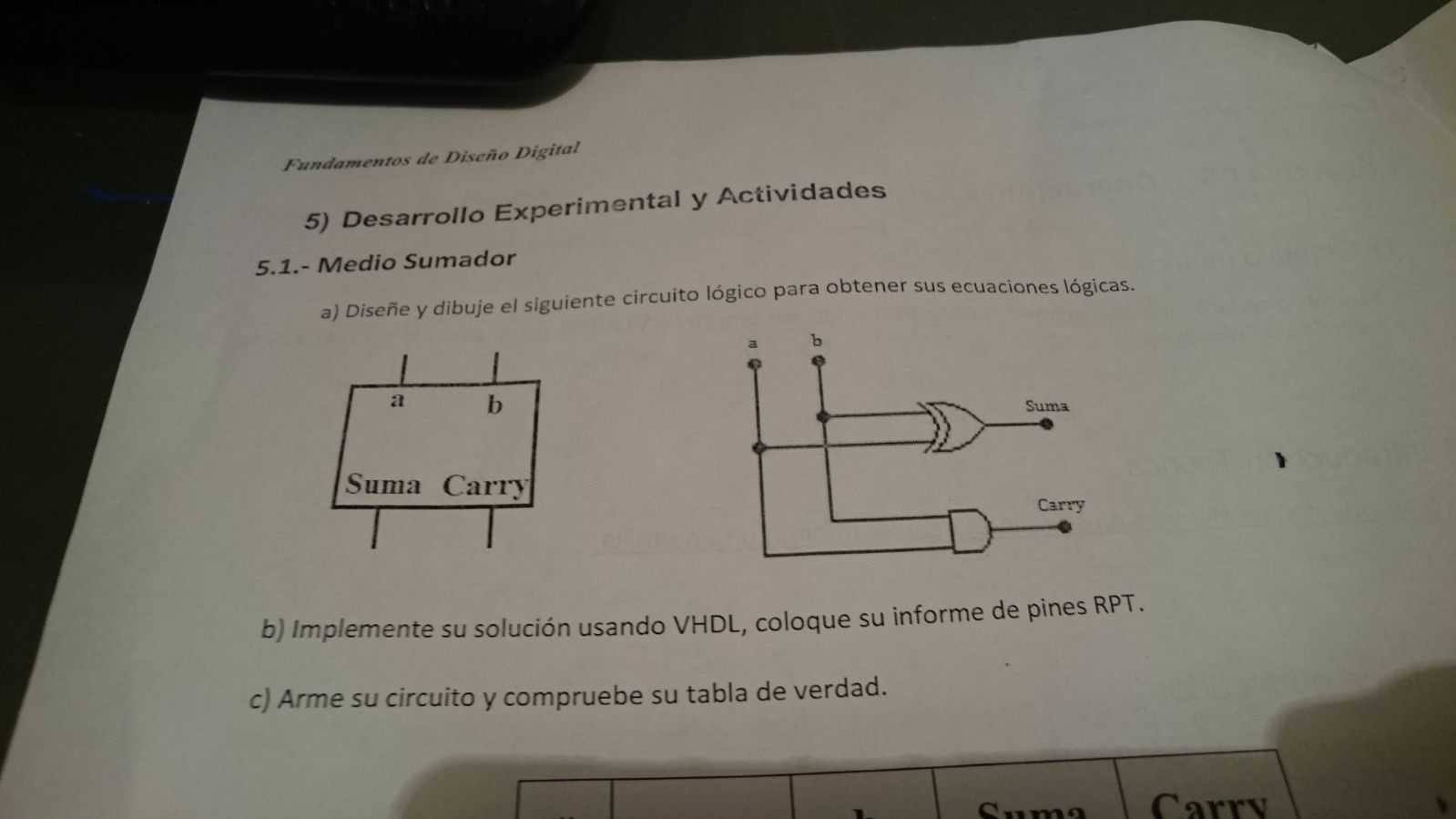
* 2 circuito integrado GAL22V10
* 16 LEDS de colores
* 16 resistores de 330 Ω
* 10 resistores de 1KΩ
* 1 Dip Switch de 8
* Alambre telefónico
* 1 tablilla de Prueba (protoboard)
* 1 pinza de punta
* 1 pinza de corte
* Cables banana-caimán (para alimentar el circuito)

1. **Equipo Empleado:**

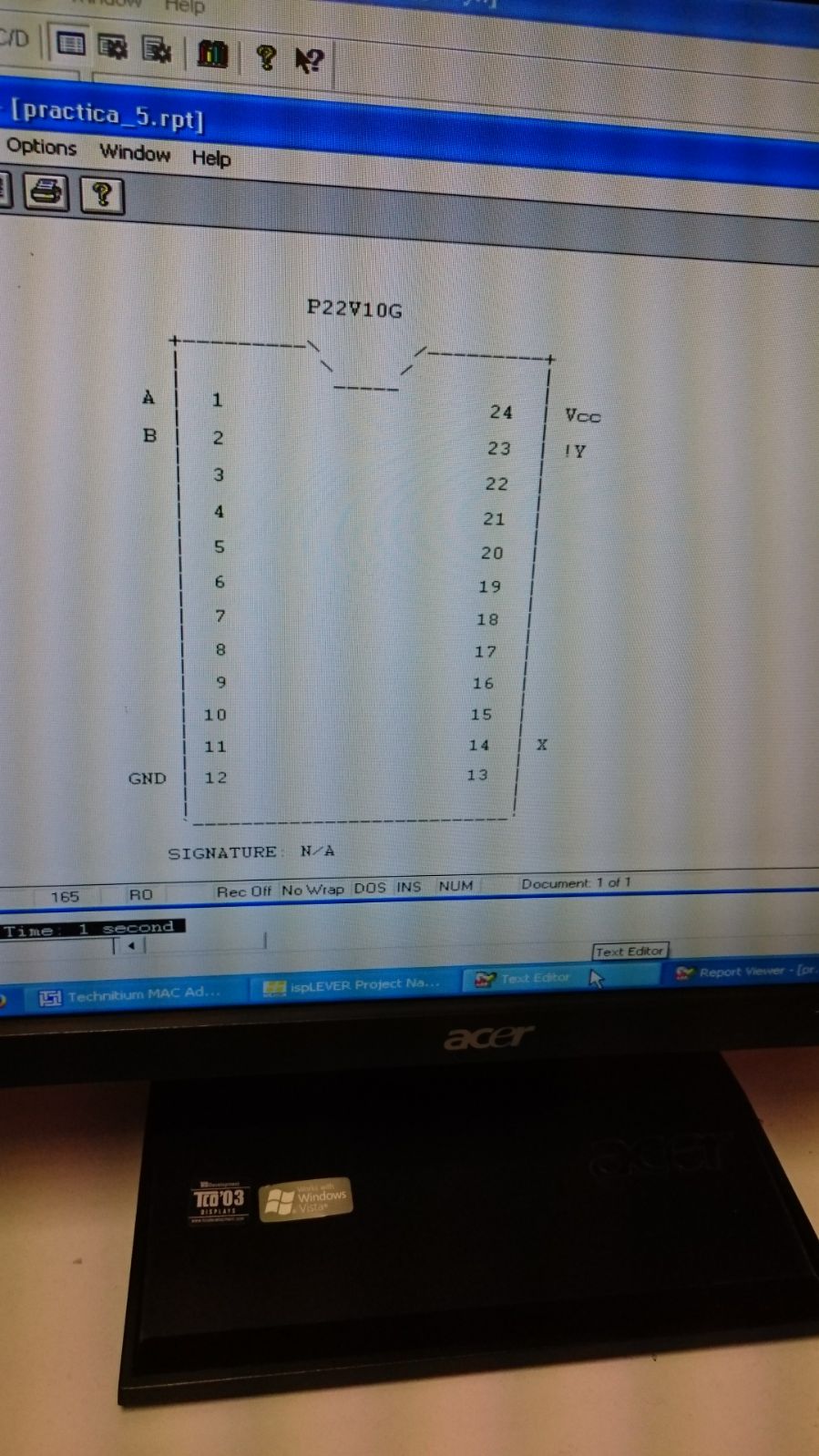
* Multímetro
* Fuente de alimentación de 5 volts
* Manual de Motorola
* Programa

1. **Desarrollo experimental y actividades:**

5.1.- Medio sumador:



1. Diseñe y dibuje el siguiente circuito lógico para obtener sus ecuaciones lógicas.
2. Implemente su solución usando VHDL, coloque su informe de pines RPT.
3. Arme su circuito y compruebe su tabla de verdad.

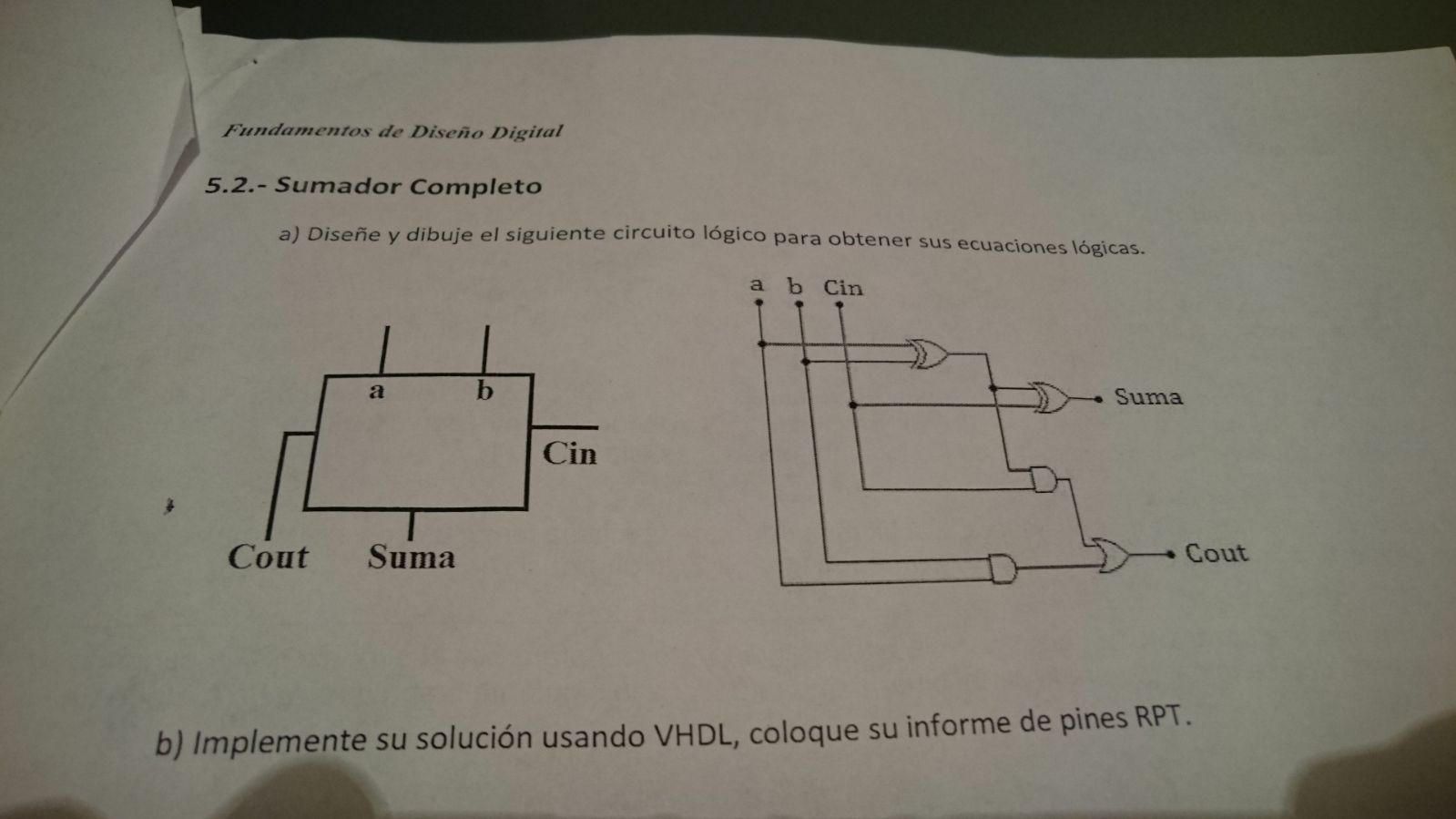


|  |  |
| --- | --- |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\medio sumador 00.jpg | C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\medio sumador 01.jpg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\medio sumador 10.jpg | C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\medio sumador 11.jpg |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| # | a | b | Suma | Carry |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 2 | 1 | 0 | 1 | 1 |
| 3 | 1 | 1 | 0 | 1 |
|  |  |  |  |  |

5.2.-Sumador completo:

a) Diseñe y dibuje el siguiente circuito lógico para obtener sus ecuaciones lógicas.



b) Implemente su solución usando VHDL, coloque su informe de pines RPT.

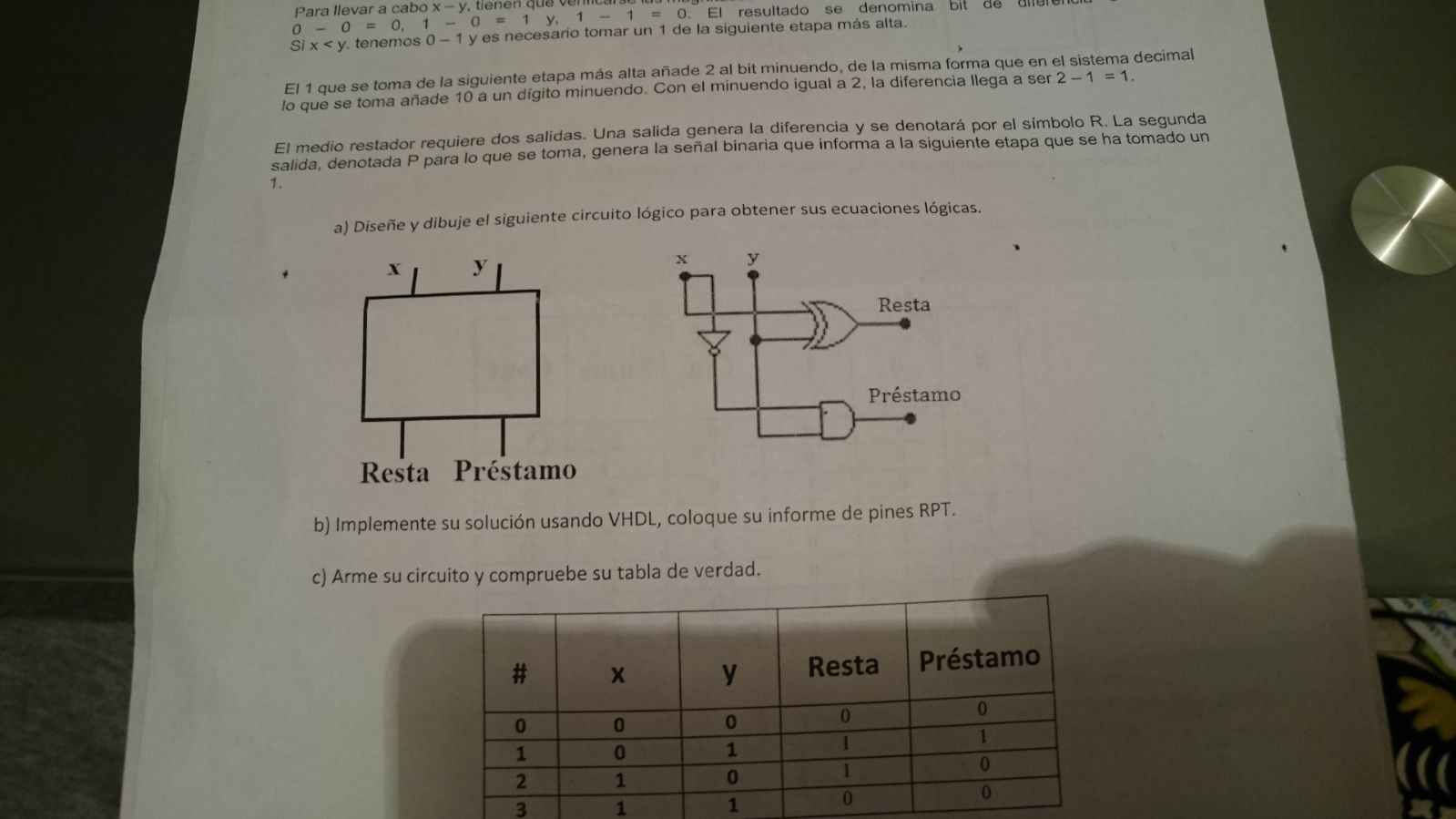
c) Arme su circuito y compruebe su tabla de verdad.

|  |
| --- |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (1).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (2).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (3).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (4).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (5).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (6).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM (7).jpeg |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.44.09 PM.JPEG |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| # | a | b | Cin | Suma | Cout |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 0 | 1 |
| 4 | 1 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 |

5.3.-Medio Restador:

a) Diseñe y dibuje el siguiente circuito lógico para obtener sus ecuaciones lógicas.



b) Implemente su solución usando VHDL, coloque su informe de pines RPT.

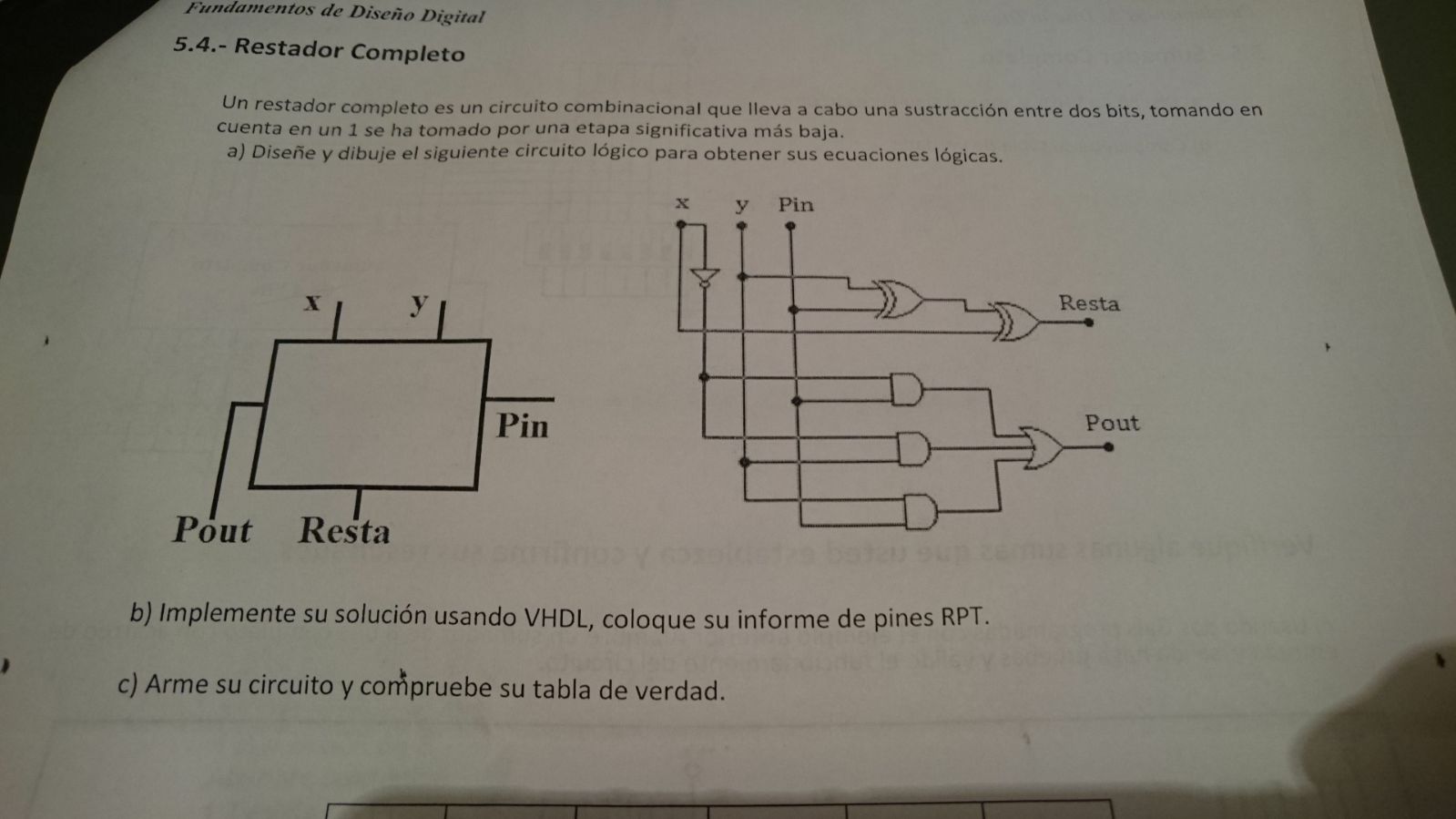
c) Arme su circuito y compruebe su tabla de verdad.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| # | X | Y | Resta | Préstamo |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 2 | 1 | 0 | 1 | 0 |
| 3 | 1 | 1 | 0 | 0 |

|  |  |
| --- | --- |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.27.29 PM.JPEG | C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.27.29 PM.JPEG |
| C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.27.29 PM.JPEG | C:\Users\José Emiliano Pérez\AppData\Local\Microsoft\Windows\INetCache\Content.Word\WhatsApp Image 2017-04-25 at 10.27.29 PM.JPEG |

5.4.-Restador completo:

a) Diseñe y dibuje el siguiente circuito lógico para obtener sus ecuaciones lógicas.



b) Implemente su solución usando VHDL, coloque su informe de pines RPT.

c) Arme su circuito y compruebe su tabla de verdad.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| # | x | y | Pin | Resta | Pout |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 2 | 0 | 1 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 0 | 1 |
| 4 | 1 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 | 1 |

1. **Observaciones y conclusiones:**

*José Emiliano Pérez Garduño:* Gracias a ésta práctica aprendí como se programan los sumadores y restadores, aparte de cómo aplicarlos en un circuito y como lograr hacerlo bit por bit.

*Alfredo Pérez Quiñonez:* Con el desarrollo de esta práctica conseguimos aplicar los conocimientos previamente adquiridos en clase sobre aritmética en lógica VHDL (medios sumadores y sumadores completos, medios restadores y restadores completos y su combinación al realizar un sumador/restador de 4 bits) y comprobarlos de manera física en el laboratorio.

1. **Bibliografía:**

<https://www.ecured.cu/Sumador_medio>

<http://www.academia.edu/11023864/Medio_sumador_y_sumador>

<http://www.buenastareas.com/ensayos/Medio-Sumador-y-Sumador-Completo/1610856.html>

<https://www.slideshare.net/KaBeCaAl/medio-restador>